

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-295958

(43)Date of publication of application : 21.10.1994

(51)Int.Cl.

H01L 21/82

H01L 27/04

(21)Application number : 04-173497

(71)Applicant : HSU FU-CHIEH
LEUNG WINGYU

(22)Date of filing : 30.06.1992

(72)Inventor : HSU FU-CHIEH
LEUNG WINGYU

(30)Priority

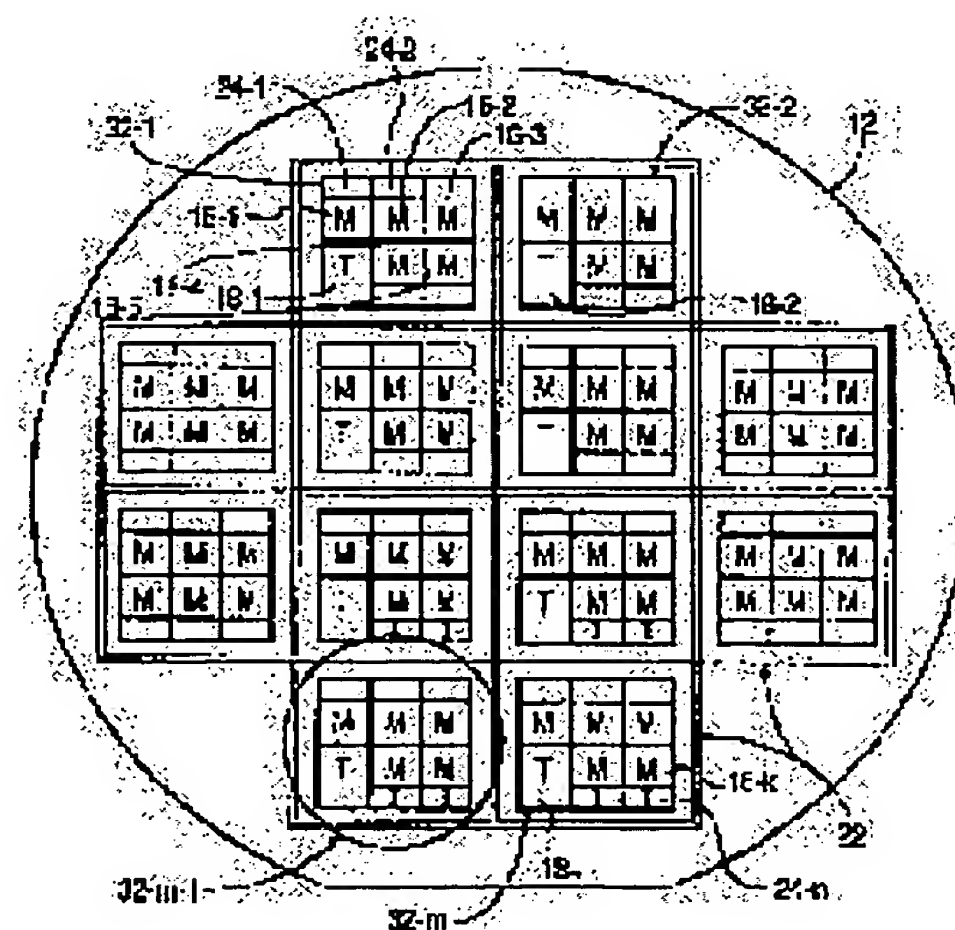
Priority number : 92 865410 Priority date : 08.04.1992 Priority country : US

(54) CIRCUIT MODULE REDUNDANCY ARCHITECTURE

(57)Abstract:

PURPOSE: To economically realize a high-performance wafer scale integrated circuit by providing a redundant circuit module in a circuit block having circuit modules and disable switches at replaceable circuit modules in the circuit block.

CONSTITUTION: A semiconductor wafer 12 has circuit chip modules 16-1-16-k and transceiver/repeater modules 18-1-181-l on the surface with an interconnection network disposed round them. The circuit chip module 16-i has module/bus interface sections 24-1-24-n, the transceiver/repeater module 18-i has a circuit forming a part of a parallel bus architecture. To enable the search and configuration specification easy be test, module blocks 32-1-32-m are formed with grid-like patterns in the main interconnection network 22 to integrally connect all the modules on the wafer 12.



LEGAL STATUS

[Date of request for examination] 21.06.1993

[Date of sending the examiner's decision of rejection] 21.05.1996

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3192220

[Date of registration] 25.05.2001

[Number of appeal against examiner's decision of rejection] 08-14230

[Date of requesting appeal against examiner's decision 19.08.1996
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(12) 公開特許 (A)

(11) 特許出願公開番号

(54) 【発明の名称】 回路モジュール冗長性アーキテクチャ

特開平6-295958

(全19頁) (7)

審査請求 有 請求項の数 21

(43) 公開日 平成 6年(1994)10月21日

(71) 出願人 フーチャー ツー
アメリカ合衆国, カリフォルニア 9507※
(72) 発明者 フーチャー ツー, ウィンギュ リュン
(21) 出願番号 特願平4-173497
(22) 出願日 平成 4年(1992) 6月30日
(31) 優先権主張番号 865410
(32) 優先日 1992年 4月 8日
(33) 優先権主張国 米国(US)
(74) 代理人 弁理士 小橋 一男 (外1名)

(51) Int. Cl.⁵ 識別記号
H01L 21/82
27/04 U

FI
H01L 21/82 R

※最終頁に続く

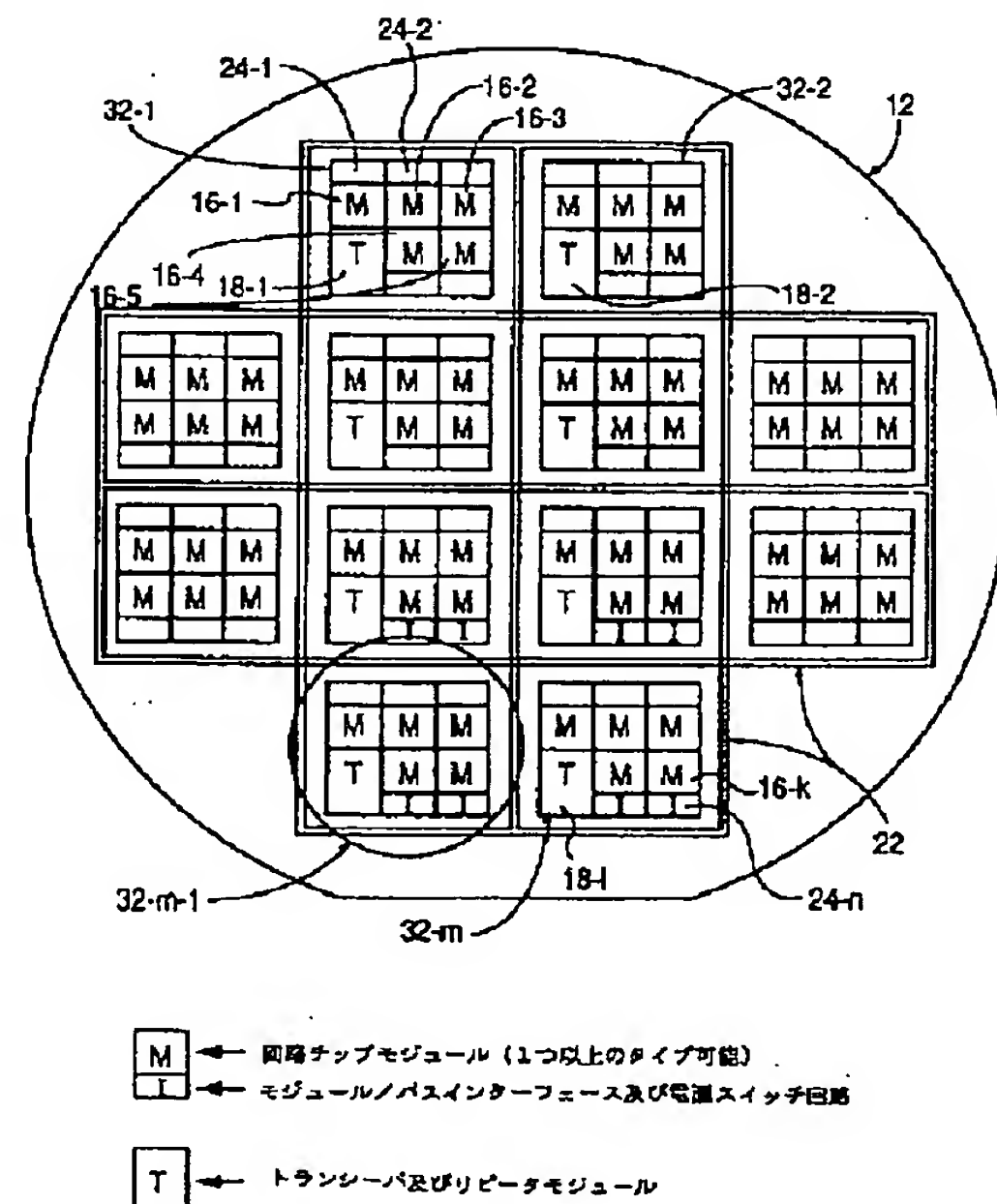
(57) 【要約】 (修正有)

【目的】 欠陥性モジュール及び欠陥性相互接続/電力セグメントの両方を電気的に排除し且つ動作可能なモジュール及び相互接続/電力セグメントを取込むために、半導体ウエハ12上の多数の別々のメモリ(又はその他の回路)モジュールを相互接続することにより中程度のダイ寸法の集積回路に対して最適化されたウエハスケール集積化を与えるシステム及び方法が提供する。

【構成】 一組の随意的な接続が、別々のモジュールM、T及び相互接続/電力セグメントIの各々に関連しており、これらをテストした後に、この様な接続を形成する(又は破壊する)。動作可能な電源セグメントIを結合してより電源回路網をセットアップする。動作可能な相互セグメントを結合することにより双方向バスがセットアップされ、各動作可能なモジュールを接続させる。各モジュールは、随意的接続を使用して識別コードが割当てて。

【産業上の利用分野】 本発明は、全ウエハ上に全てが集積化された複数の半導体回路モジュールを有するウエハスケール集積半導体装置及びウエハの製造に関するものであって、更に詳細には、高性能でウエハスケール集積回路を経済的に実現することを可能としたアーキテクチャ及び方法に関するものである。

【特許請求の範囲】



【請求項1】 基板上の半導体回路装置において、複数

個の回路モジュールを有する少なくとも1個の回路ブロックが設けられており、前記回路ブロックのうちの一つに少なくとも一つの冗長回路モジュールが設けられており、前記冗長回路モジュールはプログラム可能な識別回路を有しており、前記回路ブロック内に複数の置換可能な回路モジュールが設けられており、各置換可能な回路モジュールは前記置換可能な回路モジュールが置換されるべき場合に活性化されるディスエーブルスイッチを有することを特徴とする装置。

【請求項2】 請求項1において、前記識別回路が識別コードを格納するための複数のプログラム可能なメモリ要素を有することを特徴とする装置。

【請求項3】 請求項2において、前記メモリ要素がヒューズであることを特徴とする装置。

【請求項4】 請求項2において、前記メモリ要素がアンチヒューズであることを特徴とする装置。

【請求項5】 請求項2において、前記メモリ要素がプログラム可能なリードオンリーメモリであることを特徴とする装置。

【請求項6】 請求項1において、前記ディスエーブルスイッチの各々がプログラム可能な要素であることを特徴とする装置。

【請求項7】 請求項6において、前記プログラム可能な要素がヒューズであることを特徴とする装置。

【請求項8】 請求項6において、前記プログラム可能な要素がアンチヒューズであることを特徴とする装置。

【請求項9】 請求項6において、前記プログラム可能な要素がプログラム可能なリードオンリーメモリであることを特徴とする装置。

【請求項10】 請求項1において、前記置換可能な回路モジュールの各々が識別回路を有することを特徴とする装置。

【請求項11】 請求項10において、前記識別回路がプリセットした識別コードを画定する要素を有することを特徴とする装置。

【請求項12】 請求項10において、前記識別回路がデコーダ識別コードを画定する要素を有することを特徴とする装置。

【請求項13】 請求項10において、前記識別回路がプログラム可能な識別コードを画定する要素を有することを特徴とする装置。

【請求項14】 基板上に形成した半導体回路装置において、前記基板上に複数の回路ブロックが設けられて

【図面の簡単な説明】

【図1】 VCC, VSS電源相互接続及び信号バス相互接続を有し一つのウエハ上に全てを形成した複数の半導体回路チップを有するウエハスケール集積半導体装置の一実施例を示した概略平面図。

【図2a】 ジャンクションボックス及びモジュールイ

おり、各回路ブロックはほぼ同一の寸法であり且つ格子状に配列されており且つ各ブロックが複数の回路モジュールを有しており、前記回路ブロックの各々を相互接続するために各回路ブロックへ延在して前記基板上に設けられている信号線を有する相互接続回路が設けられており、前記回路ブロックのうちの少なくとも二つが前記相互接続回路により一体的に接続可能であることを特徴とする装置。

【請求項15】 請求項1において、前記相互接続回路が複数の相互接続セグメントを有しており、各セグメントが信号線と冗長信号線とを有することを特徴とする装置。

【請求項16】 請求項15において、少なくとも一つのセグメントがインラインプローブパッドへ接続されており、セグメント内及びセグメント間の欠陥に対するセグメントのテストを前記プローブパッドをプローブすることにより実施することが可能であることを特徴とする装置。

【請求項17】 請求項16において、少なくとも一つのセグメントが前記セグメント内の少なくとも一つのトランジスタ接続線を有しており、開放欠陥に対するセグメントのテストが前記プローブパッドのプローブ動作により実施することが可能であることを特徴とする装置。

【請求項18】 請求項14において、前記相互接続回路が前記信号線の少なくとも一つと前記回路のI/Oポートの間に接続された少なくとも一つのトランシーバを有することを特徴とする装置。

【請求項19】 請求項14において、前記相互接続回路が、一つの回路ブロック内の信号線のうちの少なくとも一つと第二回路ブロック内の信号線のうちの幾つかとの間に接続された少なくとも一つのトランシーバを有することを特徴とする装置。

【請求項20】 請求項19において、前記トランシーバが各々がトライステート制御される受信器と送信器とを有することを特徴とする装置。

【請求項21】 請求項14において、前記信号線が複数のデータ線と、1本のクロック信号線と、複数の制御線とを有しており、前記クロック信号線が、前記データ線が前記モジュールへ及び前記モジュールからのデータを担持するのと同じ方向で前記モジュールへ及び前記モジュールからのタイミング信号を担持することを特徴とする装置。

インターフェースボックスと共に相互接続セグメントを示した概略図。

【図2b】 セグメント化した相互接続システムを使用した二次元ルーチング即ち経路決定を示した概略図。

【図2c】 簡単で且つ完全なテストを行なうためのプローブパッドに対する詳細なレイアウトを示した概略

図。

【図 2 d】 隣のセグメントの間での配線位置を変化させる能力を有する接続用横方向セグメント（垂直又は水平）に対する別の構成を示した概略図。

【図 2 e】 隣のセグメントの間での配線位置を変化させる能力を有する接続用横方向セグメント（垂直又は水平）に対する別の構成を示した概略図。

【図 2 f】 相互接続セグメント内の開放欠陥をテストするためのテストトランジスタの構成を示した概略図。

【図 3 a】 電源スイッチを示した概略図。

【図 3 b】 直接接続電源スイッチを示した概略図。

【図 4 a】 ヒエラルキバスアーキテクチャ実施例を示した概略図。

【図 4 b】 BUS 1 及び BUS 2 に関する信号を示した概略図。

【図 4 c】 トランシーバとリピータとの間の区別なしで構成したヒエラルキバスアーキテクチャの構成を示した概略図。

【図 4 d】 図 4 c のアーキテクチャに従った形態を特定したウエハスケール装置の一例を示した概略図。

【図 4 e】 BUS 1 及び BUS 2 に関する別の信号を示した概略図。

【図 4 f】 図 4 a のバスアーキテクチャに従って形態を特定したウエハスケール装置の一例を示した概略図。

【図 5 a】 モジュールインターフェース回路実施例を示した概略図。

【図 5 b】 一般化した冗長回路モジュールを示した概略図。

【図 6 a】 トランシーバ回路実施例を示した概略図。

【図 6 b】 図 6 a の制御論理の状態線図。

【図 7 a】 リピータ回路実施例の概略図。

【図 7 b】 図 7 a の制御論理を示した状態線図。

【図 7 c】 トランシーバ／リピータ回路実施例を示した概略図。

【図 7 d】 図 7 c の制御論理を示した状態線図。

【図 8】 ウエハスケール装置をテストし且つ形態を特定する手順を示したフローチャート図。

【図 9 a】 半導体処理技術を使用して接続点を構成する処理の流れの 1 段階における状態を示した概略断面図。

【図 9 b】 半導体処理技術を使用して接続点を構成する処理の流れの 1 段階における状態を示した概略断面図。

【図 9 c】 半導体処理技術を使用して接続点を構成する処理の流れの 1 段階における状態を示した概略断面図。

【図 10 a】 エネルギー手段を使用して接続点を構成する別の処理における状態を示した概略断面図。

【図 10 b】 エネルギー手段を使用して接続点を構成する別の処理における状態を示した概略断面図。

【符号の説明】

1 2 半導体ウエハ

1 6 - i 回路チップモジュール

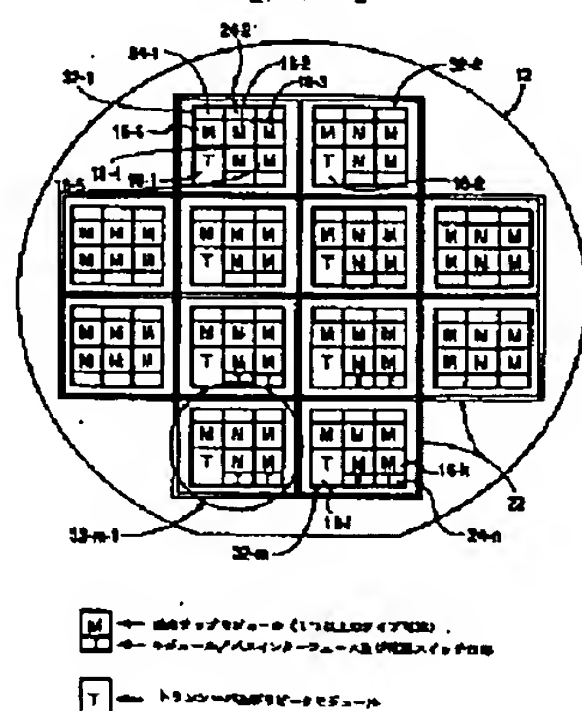
1 8 - i トランシーバ／リピータモジュール

2 2 相互接続回路網

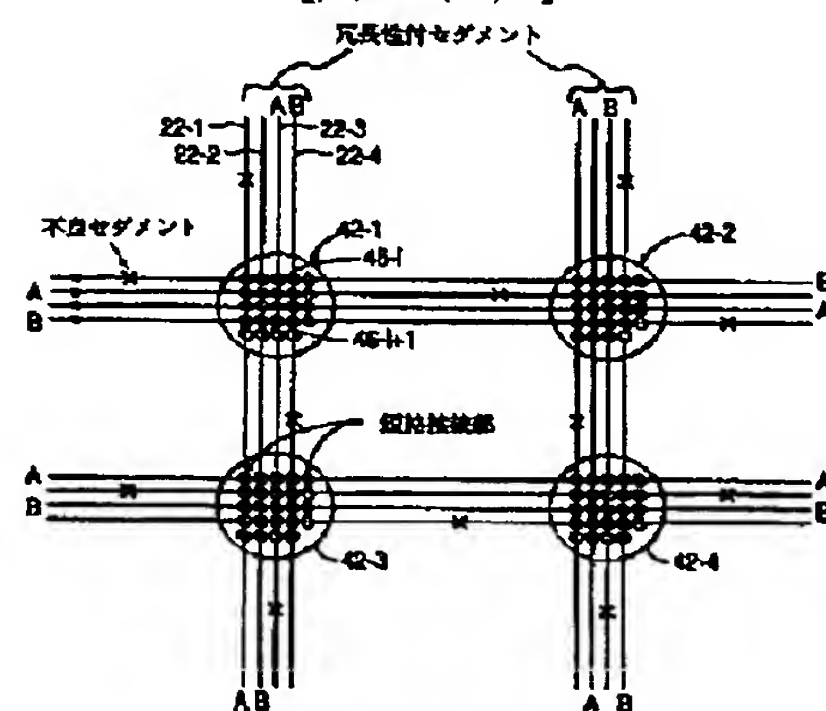
2 4 - i モジュール／バスインターフェースセクション

3 2 - i モジュールブロック

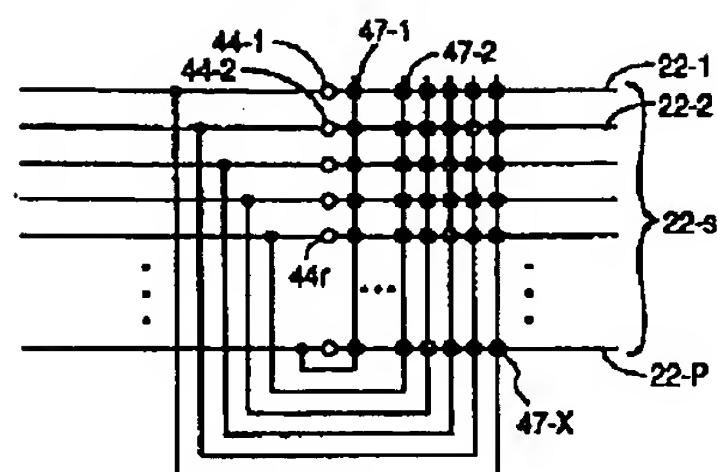
【図 1】



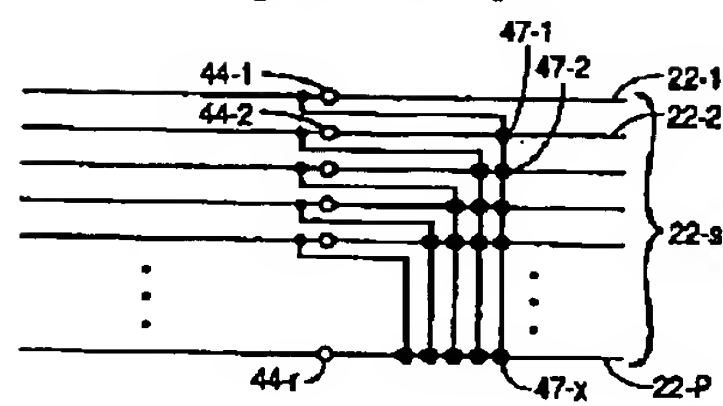
【図 2 (b)】



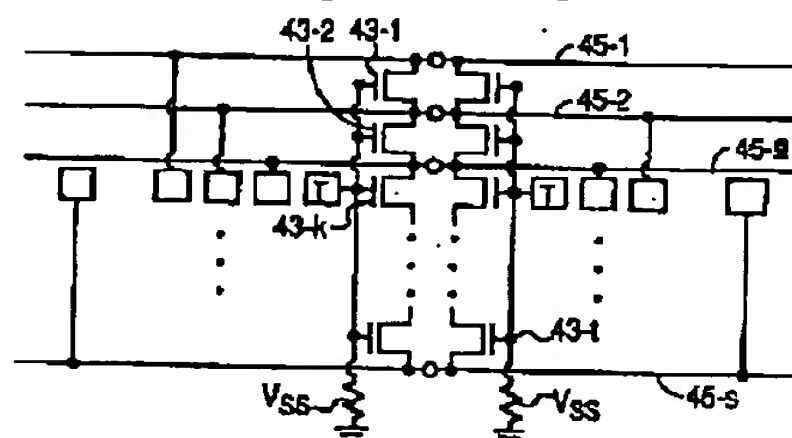
【図 2 (d)】



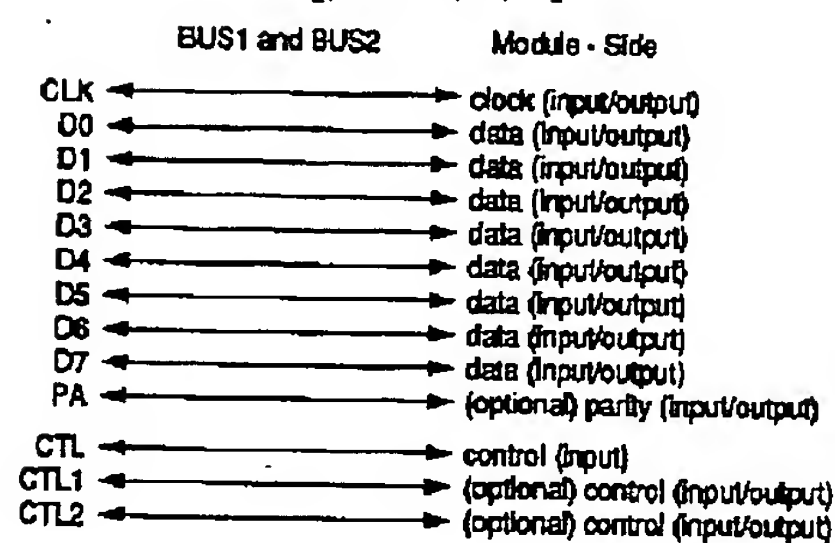
【図 2 (e)】



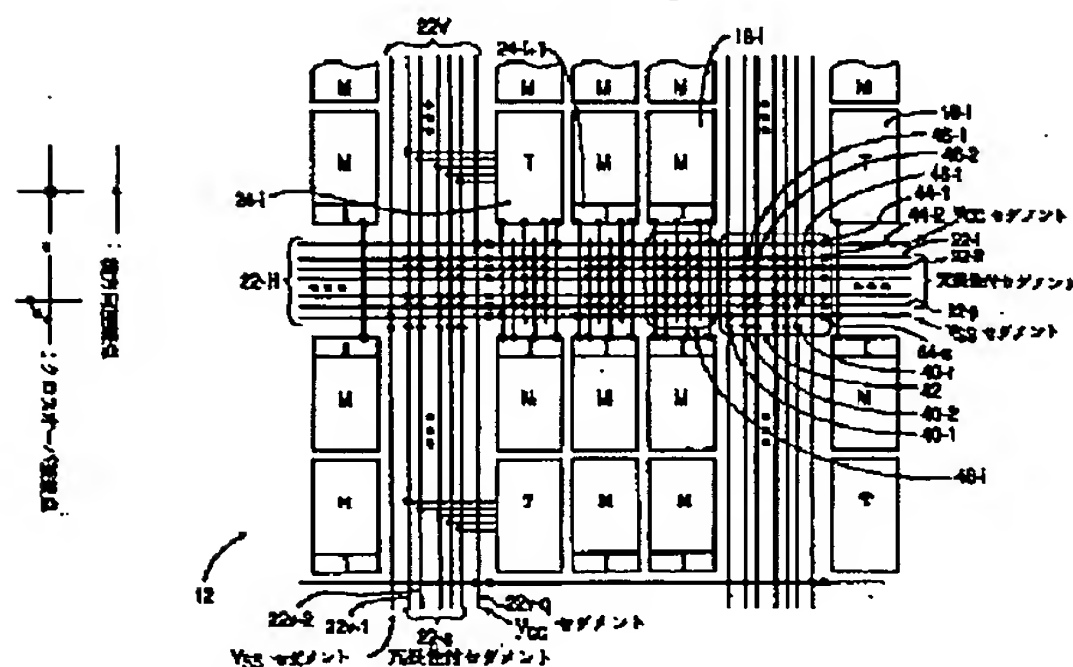
【図 2 (f)】



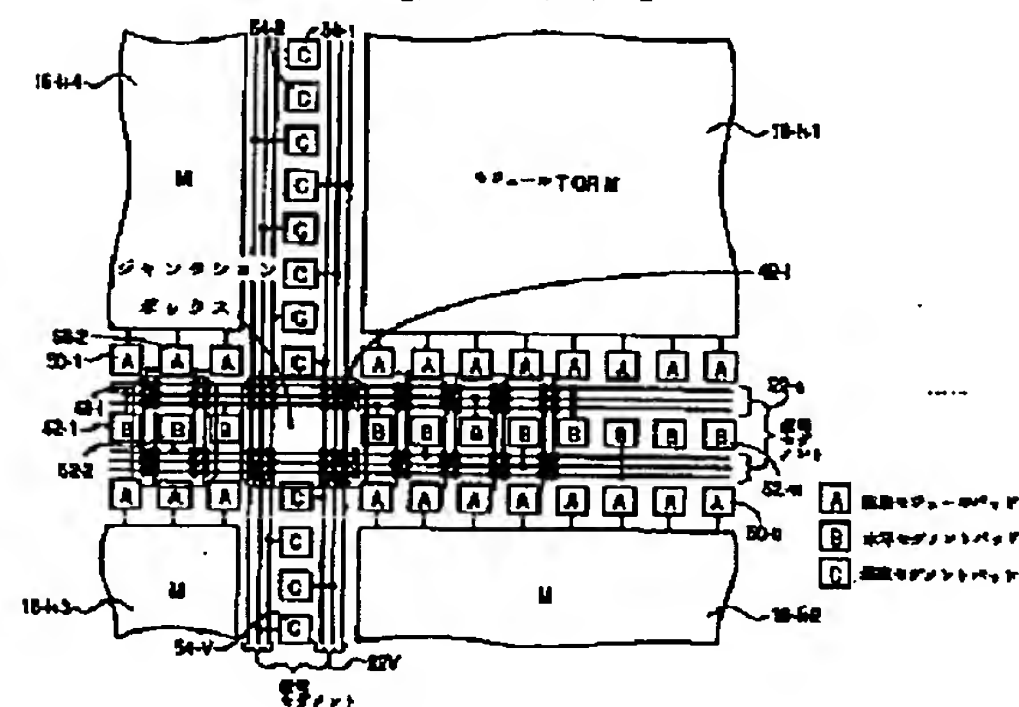
【図 4 (e)】



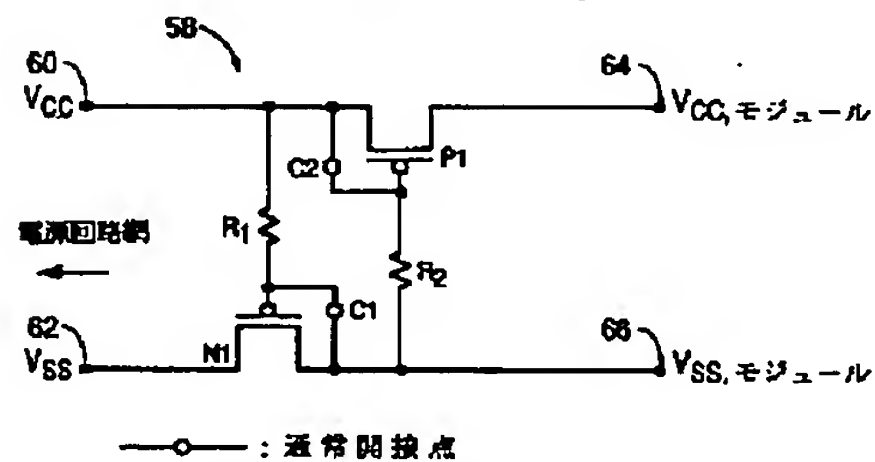
【図 2 (a)】



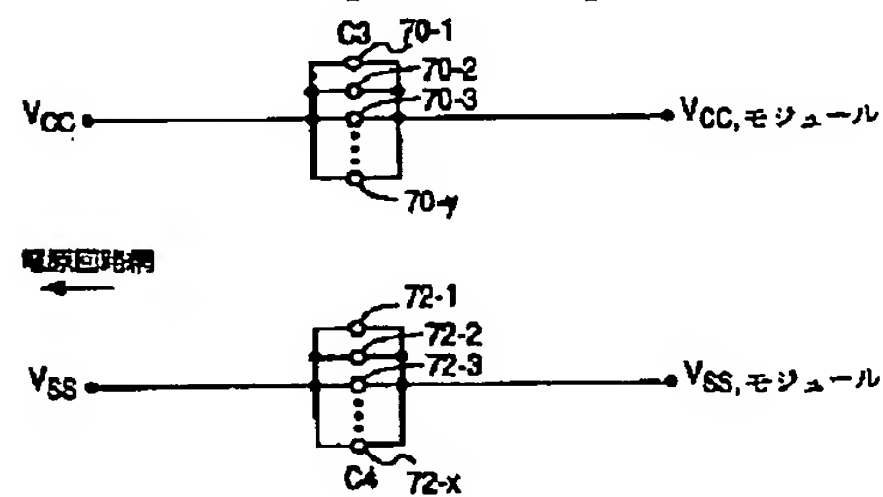
【図 2 (c)】



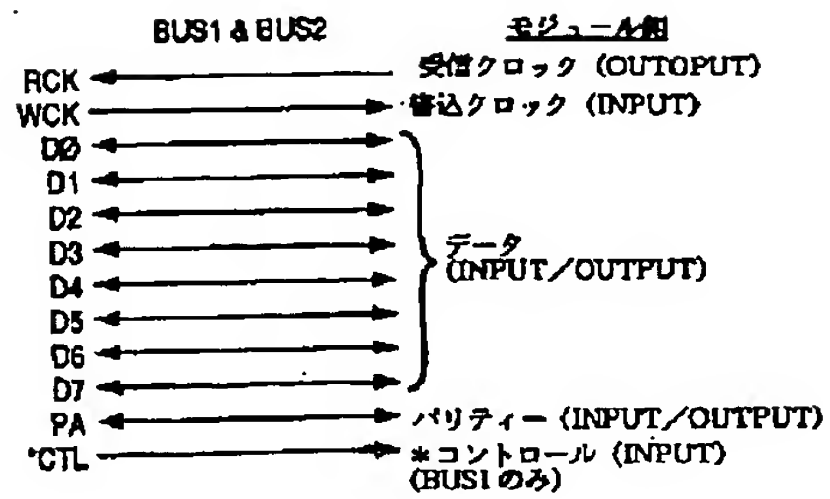
【図 3 (a)】



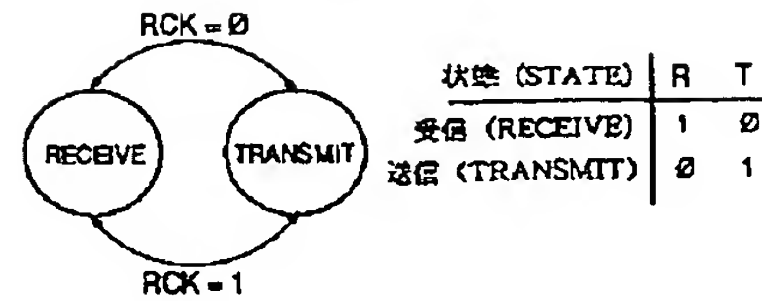
【図 3 (b)】



【図 4 (b)】



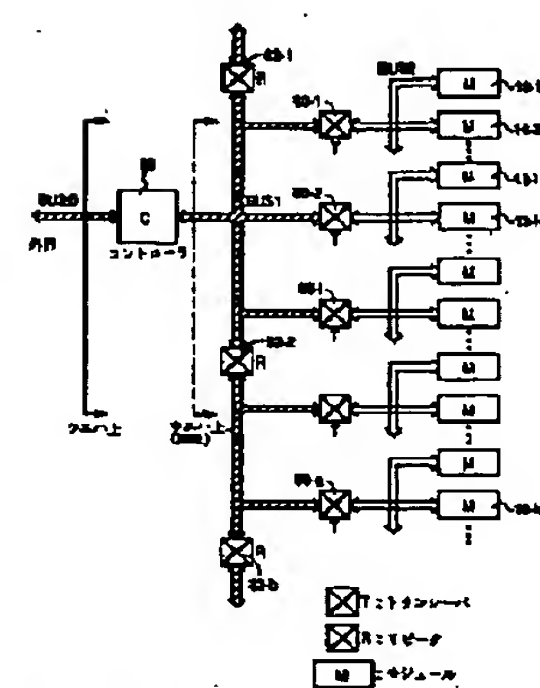
【図 7 (b)】



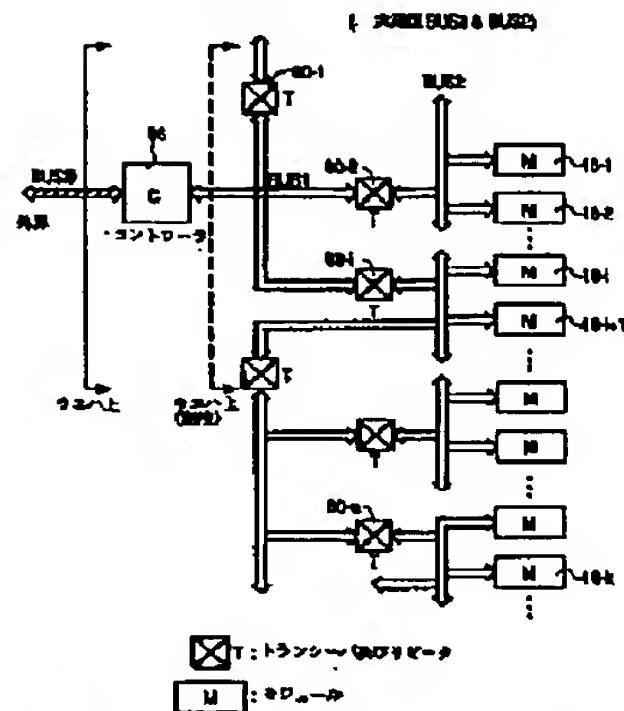
【図 7 (d)】

CTL	CTL1	T	R
0	0	0	0
1	0	0	0
0	1	0	1
1	1	1	0

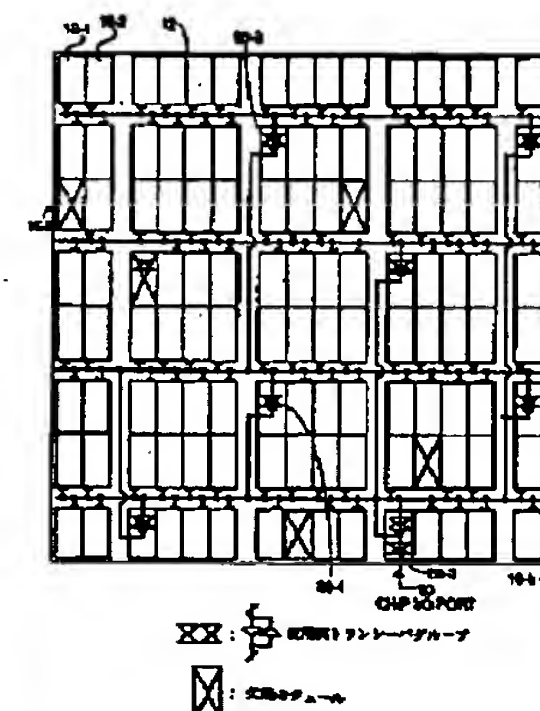
【図 4 (a)】



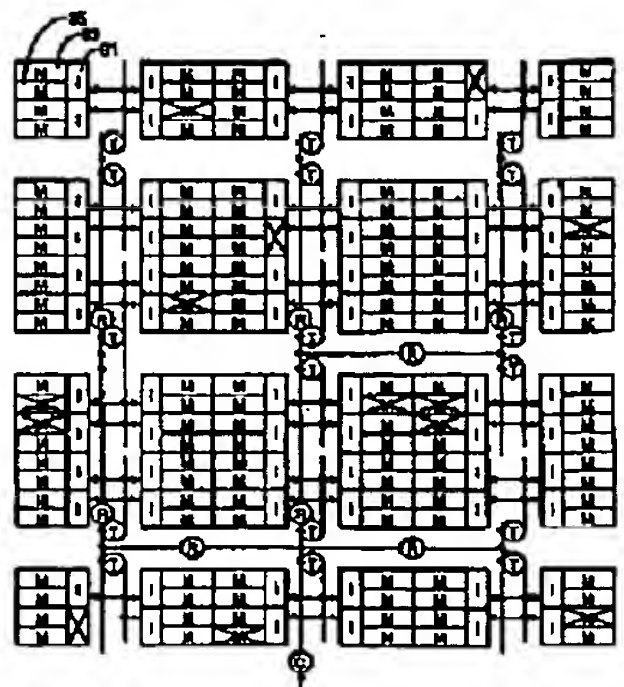
【図 4 (c)】



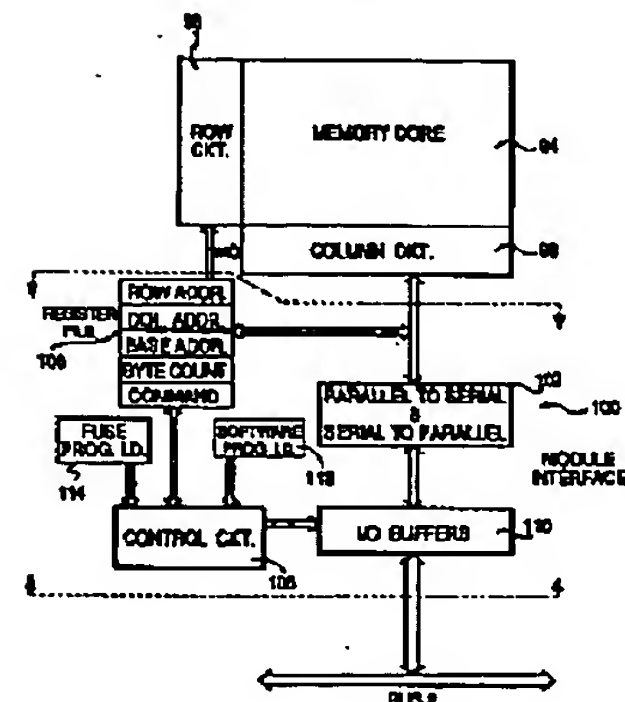
【図 4 (d)】



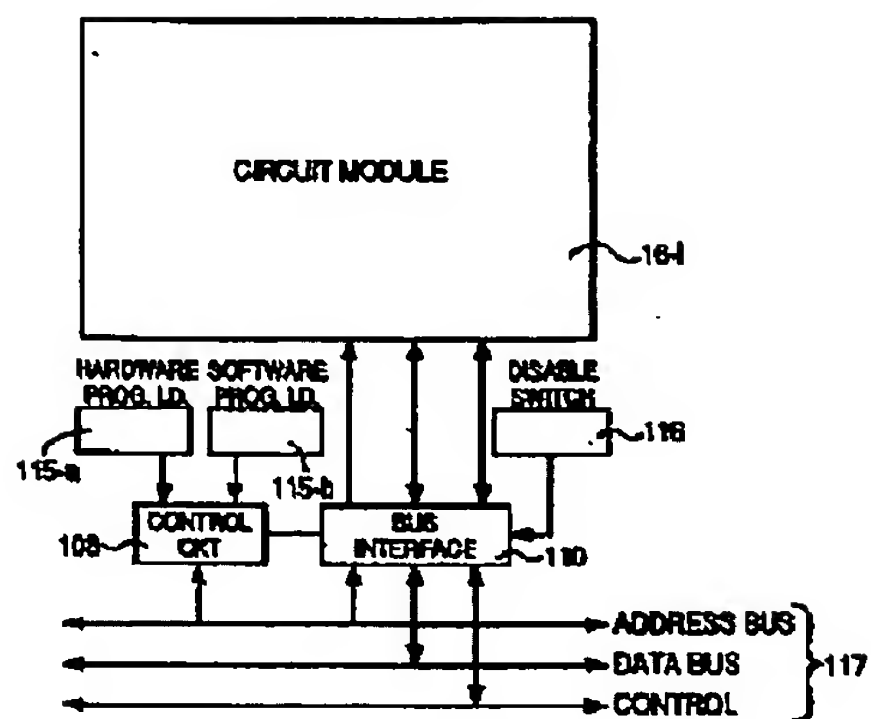
【図 4 (f)】



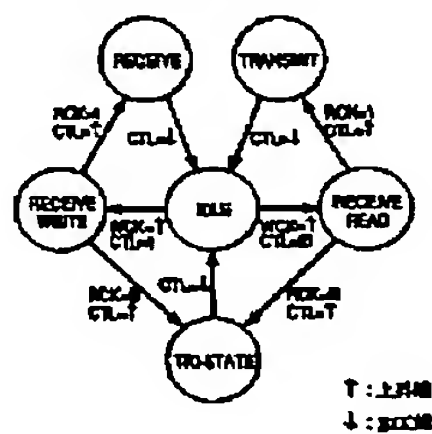
【図 5 (a)】



【図5 (b)】

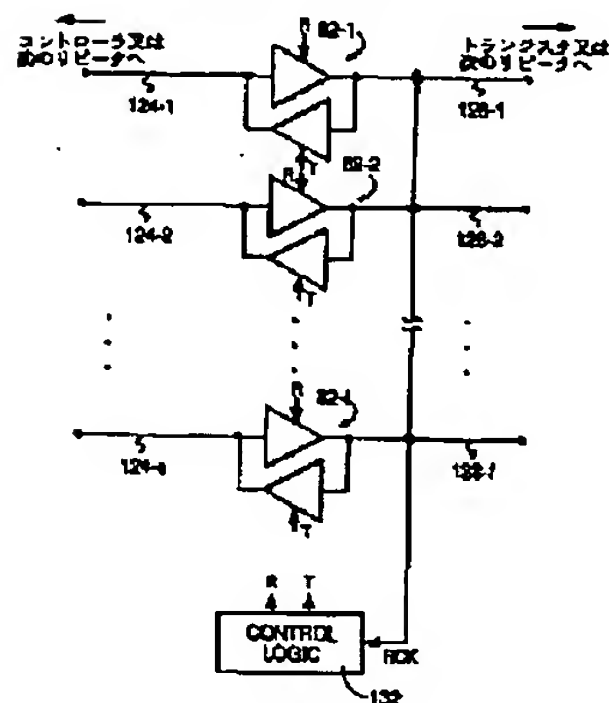


【図6 (b)】

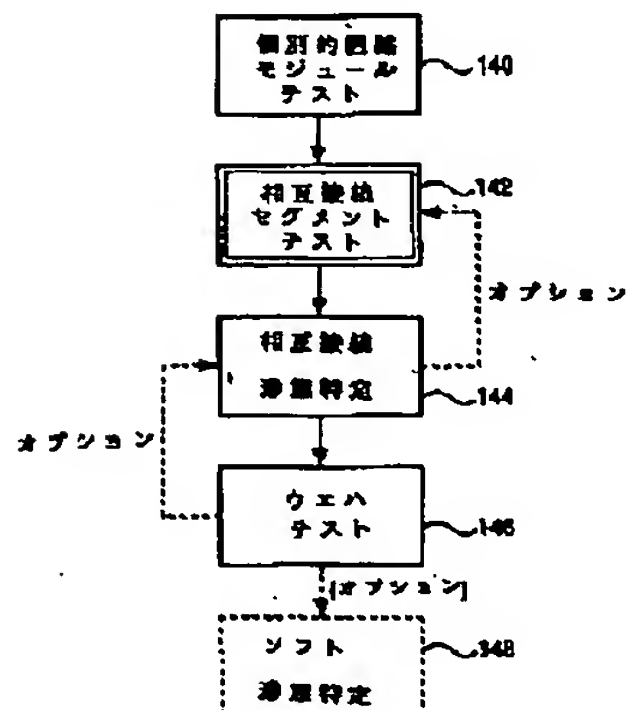


状態 (STATE)	z	y
アイドル (IDLE)	1	0
受信待ち (RECEIVE WAIT)	1	0
受信 (RECEIVE)	1	0
受信待ち (RECEIVE WAIT)	1	0
送信待ち (TRANSMIT WAIT)	0	1
送信 (TRANSMIT)	0	1
トライステート (TRI-STATE)	0	0

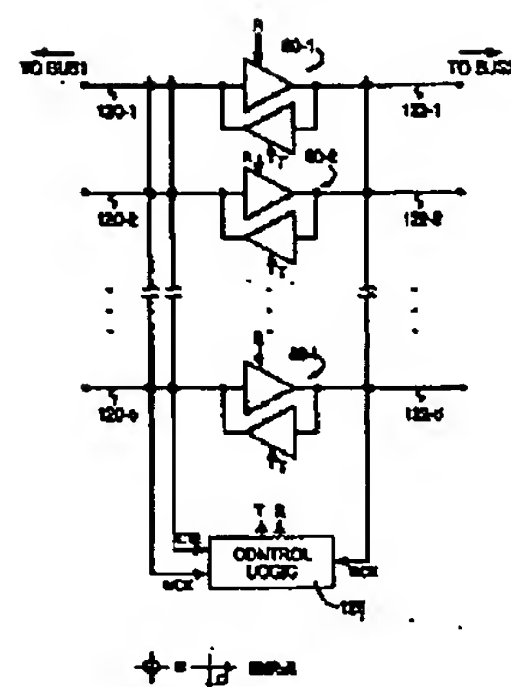
【図7 (a)】



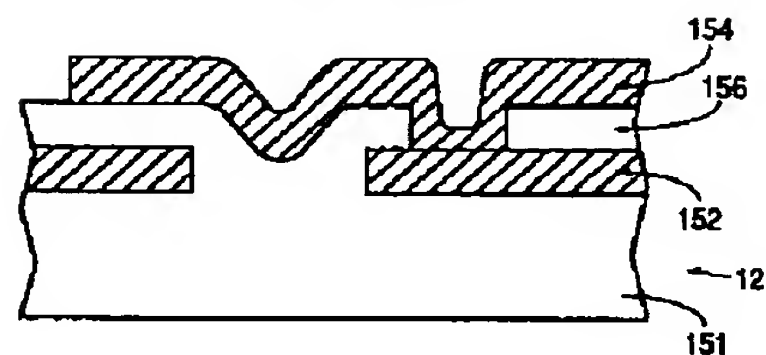
【図8】



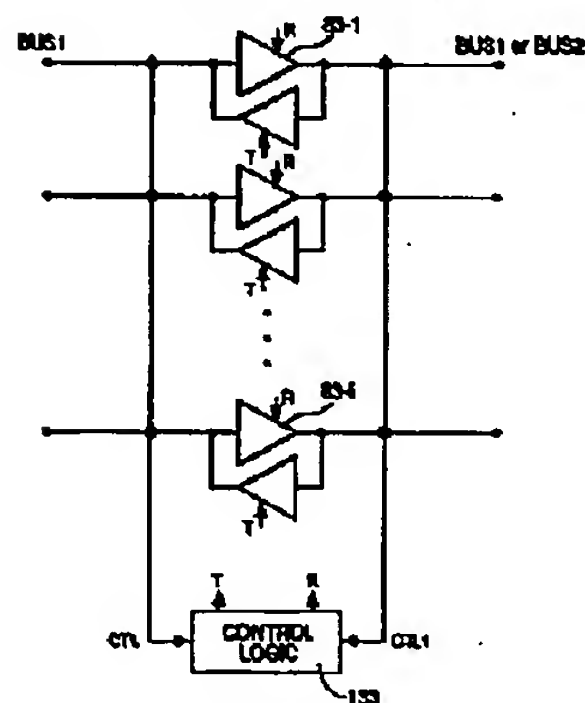
【図6 (a)】



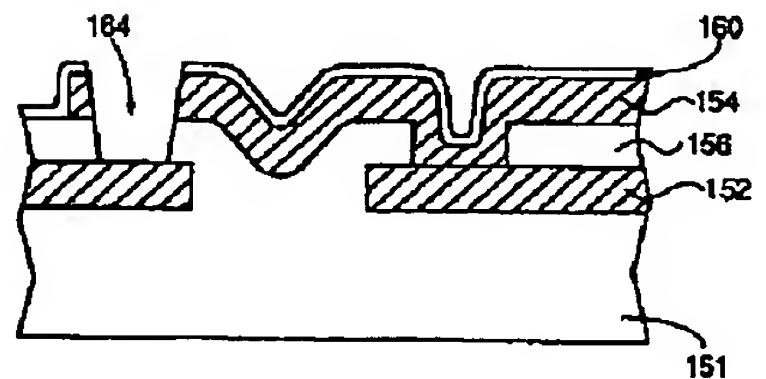
【図9 (a)】



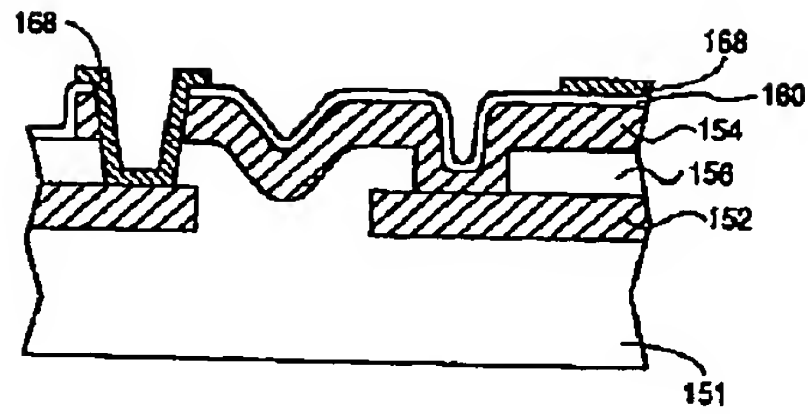
【図7 (c)】



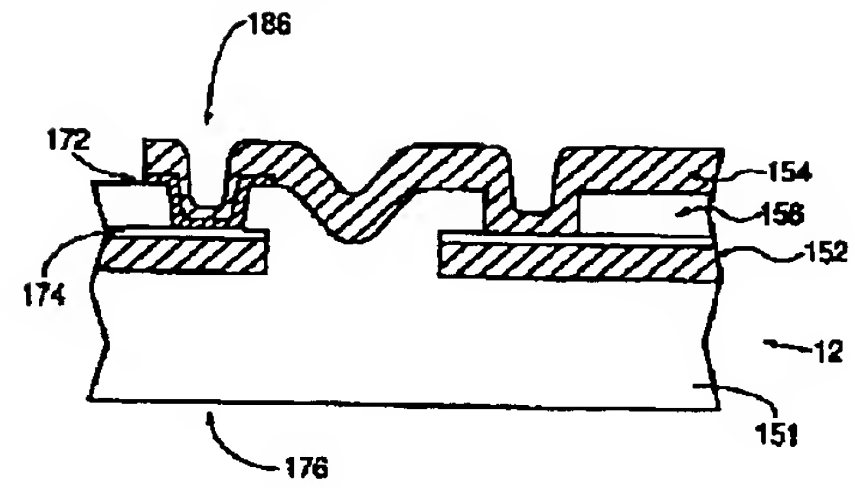
【図9 (b)】



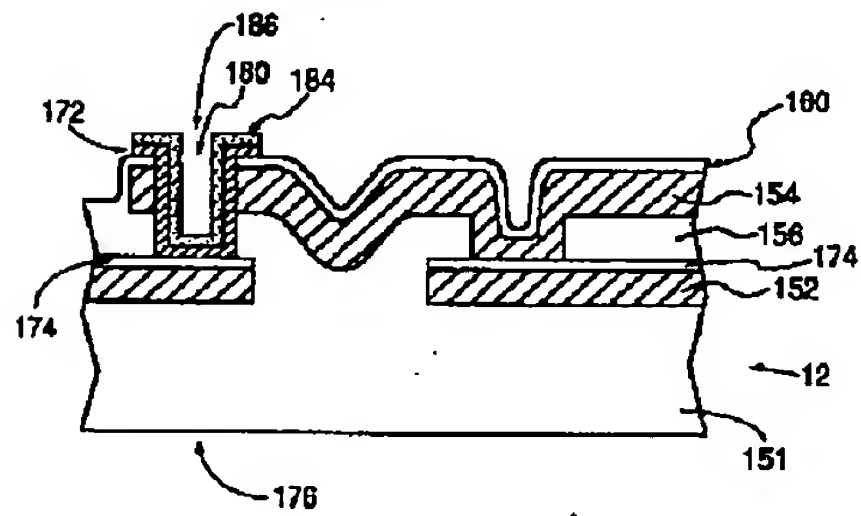
【図9(c)】



【図10(a)】



【図10(b)】



【第1ページ書誌事項の続き】

- (71) 出願人 フーチー ツー
FU-CHIEH HSU
アメリカ合衆国, カリフォルニア 95070, サラトガ, コンGRESS ホール
レーン 21775
- (71) 出願人 ウینگユ リュン
WINGYU LEUNG
アメリカ合衆国, カリフォルニア 95014, クパチーノ, オレンジ アベニ
ュー 10450